

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月31日

出 願 番 号

Application Number:

特願2002-317034

[ST.10/C]:

[JP2002-317034]

出 願 人

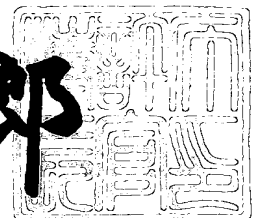
Applicant(s):

富士通株式会社

2003年 5月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3036373

【書類名】 特許願

【整理番号】 0241341

【提出日】 平成14年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335
H01L 27/146

【発明の名称】 画像歪みを抑制したイメージセンサ

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 船越 純

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山本 克義

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【先の出願に基づく優先権主張】

【出願番号】 特願2002-216848

【出願日】 平成14年 7月25日

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像歪みを抑制したイメージセンサ

【特許請求の範囲】

【請求項 1】 画像を撮像するイメージセンサにおいて、
光電変換素子を有する画素を行列配置した画素アレイと、
前記画素アレイ内の行方向に配置された複数の行選択線と、
前記画素アレイ内の列方向に配置された複数のコラム線と、
前記各コラム線に設けられたサンプルホールド回路と、
前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、
前記サンプルホールド回路の出力を順次選択する水平走査信号を生成する水平走査回路とを有し、

第 1 のフレーム期間に制御されているとき、前記垂直走査回路は、第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査し、前記第 1 のフレーム期間より長い第 2 のフレーム期間に制御されているときも、前記第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査することを特徴とするイメージセンサ。

【請求項 2】 請求項 1 において、

前記垂直走査回路が前記各行選択線を選択するときに、前記水平走査回路が前記水平走査信号を生成し、前記垂直走査回路が前記垂直走査信号を生成しないときは、前記水平走査回路も前記水平走査信号を生成しないことを特徴とするイメージセンサ。

【請求項 3】 画像を撮像するイメージセンサにおいて、
光電変換素子を有する画素を行列配置した画素アレイと、
前記画素アレイ内の行方向に配置された複数の行選択線と、
前記画素アレイ内の列方向に配置された複数のコラム線と、
前記各コラム線に設けられ、前記画素の光電変換信号をサンプルホールドするサンプルホールド回路と、

前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、
前記各行選択線が選択された時に、前記サンプルホールド回路の出力を順次選

択する水平走査信号を生成する水平走査回路とを有し、

第 1 のフレーム期間に制御されているとき、前記垂直走査回路は、第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査し、前記第 1 のフレーム期間より長い第 2 のフレーム期間に制御されているときも、前記第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査することを特徴とするイメージセンサ。

【請求項 4】請求項 3 において、

前記垂直走査回路は、前記フレーム期間内の前記第 1 の垂直走査期間を過ぎた後は、前記垂直走査信号を出力しないことを特徴とするイメージセンサ。

【請求項 5】画像を撮像するイメージセンサにおいて、

光電変換素子を有する画素を行列配置した画素アレイと、
前記画素アレイ内の行方向に配置された複数の行選択線と、
前記画素アレイ内の列方向に配置された複数のコラム線と、
前記各コラム線に設けられ、前記画素の光電変換信号をサンプルホールドするサンプルホールド回路と、

前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、
前記各行選択線が選択された時に、前記サンプルホールド回路の出力を順次選択する水平走査信号を生成する水平走査回路とを有し、

前記垂直走査回路は、フレーム期間内の一部の垂直走査期間内で前記複数の行選択線を順次選択して走査し、前記フレーム期間内の前記垂直走査期間外では前記行選択線の選択を行わないことを特徴とするイメージセンサ。

【請求項 6】画像を撮像するイメージセンサにおいて、

光電変換素子を有する画素を行列配置した画素アレイと、
前記画素アレイ内の行方向に配置された複数の行選択線と、
前記画素アレイ内の列方向に配置された複数のコラム線と、
前記各コラム線に設けられ、前記画素の光電変換信号をサンプルホールドするサンプルホールド回路と、

前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、
前記各行選択線が選択された時に、前記サンプルホールド回路の出力を順次選

択する水平走査信号を生成する水平走査回路と、

前記サンプルホールド回路の出力を、1行分格納するラインバッファと、

前記ラインバッファの出力を入力する画像プロセッサとを有し、

水平走査期間において、前記水平走査信号に応答して、前記サンプルホールド回路の出力信号を前記ラインバッファに格納し、前記水平走査信号よりも長い周期の出力クロックに응答して、当該ラインバッファ内の当該出力信号を前記画像プロセッサに出力することを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光電変換素子を利用したイメージセンサに関し、特に、出力画像の歪みを抑制したイメージセンサに関する。

【0002】

【従来の技術】

CMOSイメージセンサなどのイメージセンサは、光電変換素子を画素に有し、所定の積分期間において入射される光量を電気信号に変換し、画像処理を行って画像信号を出力する。行選択線が駆動されるときに、その行選択線に接続された画素の光電変換信号が、各列に設けられたサンプルホールド回路に保持され、当該保持された検出信号が水平走査パルスによって順次出力される。また、行選択線は、垂直走査パルスによって順次駆動され、全ての行選択線が走査されると、1フレームの画像に対する画素信号の出力が完了する。

【0003】

かかるCMOSイメージセンサは、例えば、以下の特許文献に開示されている。

【0004】

【特許文献】

特開平2002-218324号公報

【0005】

【発明が解決しようとする課題】

各画素で光電変換により生成され積分された光電変換信号は、複数の行選択線を走査することにより、順次出力されるため、同じフレームの画像であっても、画像の上部と下部とでは積分期間にずれが発生する。例えば、1フレーム期間が1/30秒の場合は、全行選択線の走査が1/30秒間で行われ、画像の上端部と下端部とでは積分期間が最大で1/30秒ずれてしまう。更に、暗い画像の場合は、積分期間を長くして出力画像を明るくする必要があり、その場合は、1フレーム期間が1/15秒、1/7.5秒と長くなるように制御され、それに伴って、画像の上端部と下端部とでは積分期間も1/15秒、1/7.5秒とずれてしまう。

【0006】

このような同じフレームの画像において、その位置に応じて積分期間がずれてしまうことは、例えば画像が左右方向に高速に移動するような場合に、出力画像の上端部と下端部とで位置がずれて、出力画像がひずむという問題を招く。

【0007】

そこで、本発明の目的は、出力画像のひずみを抑制したイメージセンサを提供することにある。

【0008】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、光電変換素子を有する画素を行列配置した画素アレイを有するイメージセンサにおいて、行方向に配置された複数の行選択線と、列方向に配置された複数のコラム線と、各コラム線に設けられたサンプルホールド回路と、前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、サンプルホールド回路の出力を順次選択する水平走査信号を生成する水平走査回路とを有し、第1のフレーム期間に制御されているとき、前記垂直走査回路は、第1の垂直走査期間内で前記複数の行選択線を順次選択して走査し、前記第1のフレーム期間より長い第2のフレーム期間に制御されているときも、前記第1の垂直走査期間内で前記複数の行選択線を順次選択して走査することを特徴とする。

【0009】

上記の発明の側面によれば、撮像対象の画像が暗くなった場合など、フレーム期間を第1のフレーム期間よりも長い第2のフレーム期間にするように制御して画素での積分期間を長くしても、垂直走査の速度が、第1のフレーム期間と同じ速度になるので、画像の上端部と下端部とで積分期間のずれが大きくなり、出力画像のゆがみを抑制することができる。

【 0 0 1 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【 0 0 1 1 】

図1は、本実施の形態におけるCMOSイメージセンサの画素アレイの構成を示す図である。画素アレイ10は、行方向に配置された複数のリセット電源線VR、行選択線SLCT0～3、リセット制御線RST0～3と、コラム方向に配置された複数のコラム線CL1～CL4と、各行選択線、リセット制御線とコラム線との交差位置に配置された画素PX00～PX33とを有する。各画素には、画素PX03に示されるとおり、リセット用トランジスタM1と、光電変換素子であるフォトダイオードPDと、フォトダイオードのカソード電位を増幅するソースフォロワートランジスタM2と、行選択線SLCTの駆動に応答して、ソースフォロワートランジスタM2のソースとコラム線CLとを接続する選択トランジスタM3とからなる光電変換回路が設けられる。

【 0 0 1 2 】

行方向に配置された行選択線SLCT0～3やリセット制御線RST0～3は、垂直走査シフトレジスタ12やリセット制御回路11により駆動制御される。即ち、垂直走査シフトレジスタ12は、垂直走査信号Vscanを生成する垂直走査回路であり、垂直走査クロックVCLKに응答して、データVDATAの「1」をシリアル転送して、各行を選択する垂直走査信号Vscanを生成する。この垂直走査信号に응答して、行選択線SLCT0～3が順次駆動される。

【 0 0 1 3 】

また、列方向に配置された各コラム線CL1～4は、それぞれサンプルホールド回路14に接続される。サンプルホールド回路14は、後述するとおり、各画素からコラム線CLを経由して供給される光電変換信号を増幅し、リセット動作に伴うリセットノイズを削除して、画素信号を出力する。

【0014】

サンプルホールド回路14から出力される画素信号は、水平走査シフトレジスタ16が生成する水平走査信号Hscanにより選択されるコラム選択トランジスタCS0～CS3を介して、共通出力バスOBUSに出力され、出力バスに接続された増幅器AMPにより増幅される。増幅器AMPの出力は、後述するカラープロセッサに供給される。

【0015】

図2は、サンプルホールド回路の具体例を示す図であり、図3は、サンプルホールド回路の動作を示す信号波形図である。図2には、1つの画素PXの回路と、図示しないコラム線を介して画素PXに接続されるサンプルホールド回路14とが示される。サンプルホールド回路14は、第1のスイッチSW1と、第2のスイッチSW2と、第1のサンプル・ホールドキャパシタC1、第2のサンプリング・ホールドキャパシタC2と、基準電圧VREFと、第1及び第2のアンプAMP1、AMP2とを有し、画素の光電変換回路のリセットノイズをキャンセルする相関二重サンプリング回路である。また、画素PXとサンプルホールド回路14との間に電流源I1が設けられている。

【0016】

この画素PXとサンプルホールド回路14の動作について、図3を参照しながら説明する。図3には、画素内のフォトダイオードD1のカソード電圧VPDの電圧変化が、行選択線SLCT、リセット制御線RSTなどに関連して示される。まず、リセット期間T1でリセット制御線RSTがHレベルに駆動されリセットトランジスタM1が導通され、フォトダイオードPDのカソード電位VPDがリセットレベルVRにされる。リセット制御線RSTがLレベルになりリセットトランジスタM1が非導通になると、カソード電位VPDは、入力光の光量に応じてフォトダイオードPDが発生する電流により徐々にレベルを下げる。これが積分期間T

2である。但し、リセットトランジスタM1が非導通になるときにリセットノイズ V_n が発生する。このリセットノイズ V_n は、画素毎にばらついた電圧である。

【 0 0 1 7 】

所定の積分期間 T_2 を経過した後に、行選択線SLCTがHレベルに駆動され、画素の選択トランジスタM3が導通し、その状態でスイッチSW1, SW2が一時的に導通状態にされて、カソード電位VPDに応じて生成されるソースフォロワートランジスタM2からの駆動電流が、選択トランジスタM3と図示しないコラム線を介して、キャパシタC1を充電する。これにより、ノードVC1は、リセット電圧VRから、リセットノイズ電圧 V_n と積分期間で低下した電位 V_s とを加えた $(V_s + V_n)$ だけ低い電位 $VR - (V_s + V_n)$ になる。また、ノードVC1の電位は、第1のアンプAMP1を介して第2のキャパシタC2にも伝えられる。

【 0 0 1 8 】

この時、第2のスイッチSW2も導通状態であり、第1のアンプAMP1の増幅率が1とすると、第2のキャパシタC2も第1のキャパシタと同じ電圧状態に充電される。この状態で、第1及び第2のキャパシタC1, C2には、レベル $VR - (V_s + V_n)$ と基準電圧VREFとの差電圧が印加される。

【 0 0 1 9 】

積分期間 T_2 の終了後に、リセット制御線RSTに再度リセットパルスが供給されて、リセットトランジスタM1が導通する。それによりカソード電位VPDは再度リセットレベルVRに充電される。その後、リセットノイズ読み出し期間 T_4 経過後に、第1のスイッチSW1が一時的に導通状態にされる。この時、第2のスイッチSW2は非導通状態に維持される。このリセットノイズ読み出し期間 T_4 においても、積分期間 T_2 と同様に、カソード電位VPDは受光光量に応じたフォトダイオードの電流によりレベルが低下するが、このリセットノイズ読み出し期間 T_4 は、積分期間 T_2 に比較すると短く設定される。但し、積分期間 T_2 は、入力光の輝度レベルに応じて最適の期間に制御されるので、必ずしも両期間 T_2 , T_4 を単純には比較できない。

【 0 0 2 0 】

このリセットノイズ読み出し期間 T_4 中に、スイッチ SW_1 が導通状態になり、第 1 のキャパシタ C_1 のノード VC_1 は、リセット電圧 V_R からリセットノイズ V_n だけ低下したレベル $V_R - V_n$ になる。この電位 $V_R - V_n$ は、第 1 のアンプ AMP_1 を介して第 2 のキャパシタ C_2 の端子にも伝えられる。この時、第 2 のスイッチ SW_2 が非導通状態であるので、第 2 のキャパシタ C_2 のノード VC_2 はオープン状態になっている。従って、第 2 のキャパシタ C_2 のノード VC_2 には、積分期間 T_2 終了時のノード VC_1 の電位 $V_R - (V_s + V_n)$ と、リセットノイズ読み出し期間 T_4 終了時のノード VC_1 の電位 $V_R - V_n$ との差電圧 V_s の変動が生じて、それに最初のサンプリング時の基準電圧 V_{REF} を加えた電圧 $V_{REF} + V_s$ がノード VC_2 に生成される。この電圧 $V_{REF} + V_s$ からは、リセットノイズ V_n が削除されている。

【 0 0 2 1 】

第 2 のアンプ AMP_2 の基準電位を V_{REF} にすることにより、受光光量に応じて積分された検出電圧 V_s が、第 2 のアンプ AMP_2 により増幅され、水平走査シフトレジスタ 16 が生成する水平走査信号により順次導通制御されたコラムゲート CS を介して、出力バス $OBUS$ に出力される。そして、それが出力バス $OBUS$ に設けられた共通増幅器 AMP により増幅され、後段の A/D 変換回路に画素信号として供給される。

【 0 0 2 2 】

シフトレジスタからなる垂直走査回路 12 は、走査期間の最初に供給される垂直データ $VDATA$ の「1」を、垂直クロック $VCLK$ に同期してシフトすることにより、垂直走査信号 $Vscan$ を生成する。従って、この垂直走査信号を生成するタイミングにより、行選択線 $SLCT0 \sim 3$ の走査駆動が制御される。同様に、シフトレジスタからなる水平走査回路 16 も、走査期間の最初に供給される水平データ $HDATA$ の「1」を、ピクセルクロック $PCLK$ に同期してシフトすることにより、水平走査信号 $Hscan$ を生成する。この水平走査信号によりコラムゲート $CS1 \sim CS4$ が順次選択される。従って、この水平走査信号を生成するタイミングにより、水平方向の走査駆動が制御される。

【 0 0 2 3 】

図 3 の行選択信号SLCTがHレベルに制御されている期間が、その行の走査期間である。従って、ある行の行選択信号SLCTがHレベルに制御されている間に、その行の画素からの光電変換信号が画素信号としてサンプルホールド回路、コラムゲート、共通バス、アンプAPMを介して出力される。それが終了すると、次の行の行選択信号SLCTがHレベルに制御され、同様の画素信号の出力動作が行われる。つまり、図 3 の行走査動作が、画素アレイの行数分、順番に行われる。

【 0 0 2 4 】

図 4 は、本実施の形態におけるイメージセンサのカラープロセッサ（画像プロセッサ）の構成を示す図である。画素アレイ 1 0 で検出された光電変換信号が、出力バスOBUS、アンプAMP、A/D変換回路ADCを介して、画素信号Pinとしてカラープロセッサ 2 0 に供給される。画素アレイ 1 0 にRGBのカラーフィルタが設けられている場合は、画素信号Pinは、RGB各色の信号になる。

【 0 0 2 5 】

カラープロセッサ 2 0 は、画素アレイ 1 0 の駆動に利用された水平同期信号Hsyncと、垂直同期信号Vsyncと画素クロックPCLKとから、各種のタイミング信号を生成するタイミング発生回路 2 2 を有する。更に、カラープロセッサ 2 0 は、画素信号Pinの色の感度に依存する特性を補正する感度補正回路 2 4 と、各画素で検出される色以外の色の階調値を周囲の画素の画素信号から補間演算によって求める色補間処理回路 2 8 と、色合い（青っぽい青など）を調整する色調整回路 3 2 と、LCDやCRTなどの画像を出力するデバイス特性（ガンマ特性）に合わせるためのガンマ変換回路 3 4 とを有する。そして、最後に表示装置に適合した画像信号のフォーマットに変換するフォーマット変換回路 3 8 により、画素信号が、NTSCやYUV、YCbCrなどのデジタルコンポーネントのフォーマットに変換されて出力される。

【 0 0 2 6 】

感度補正回路 2 4 は、色の感度に依存する特性を補正するために、各色に対応して設けられた感度補正テーブル 2 6 を参照して、補正演算を行う。色補間処理回路 2 8 は、各画素毎にRGBの画素信号を生成する。画素アレイ 1 0 に設けられたカラーフィルタの構成が、例えばベイヤー配列の場合は、赤色（R）に対

応する画素には、緑色（G）や青色（B）の画素信号を得ることができない。そこで、色補間処理回路 28 にて、周囲の画素の信号を補間演算することで、赤色（R）のカラーフィルタの画素にも、緑色（G）や青色（B）の画素信号を生成することができる。そのために、補間用メモリ 30 には、周囲の画素の画素信号が一時的に記録されている。そして、色補間処理回路 28 は、この補間用メモリ 30 内に一時的に記録されている周囲の画素の画素信号に対して補間演算を行う。ガンマテーブル 36 には、CRT や LCD などの画像出力デバイスのガンマ特性に変換するための変換テーブルが格納されている。また、フォーマット変換テーブル 40 は、NTSC や YUV などの表示信号フォーマットに変換するためのテーブルである。

【 0 0 2 7 】

図 5 は、本実施の形態における垂直走査と水平走査との関係を示す図である。図中（A）（C）（D）（F）は、垂直走査される行選択線の駆動動作を示しており、横軸の時間に対して、縦軸は行選択線 SLCT1～SLCT480 の走査位置を示す。また、図中（B）（H）は、水平走査されるコラムゲート CS1～CS640 の走査位置を示す。この例は、画素アレイ 10 が、480 行、640 列の例である。

【 0 0 2 8 】

図 5（A）、（B）は、第 1 のフレーム期間 F1 に制御されているときの垂直走査と水平走査を示す。（A）の垂直走査では、垂直走査シフトレジスタ 12 が垂直データ VDATA=1 を、垂直クロック VCLK に同期して第 1 行から第 480 行まで転送して垂直走査信号を順次生成し、それに伴って、行選択線 SLCT1～SLCT480 がフレーム期間 F1 内で順次駆動される。また、各行選択線が駆動されている間に、水平走査シフトレジスタ 16 が、水平データ HDATA=1 を画素クロック PCLK に同期して第 1 列から第 640 列まで転送して水平走査信号を順次生成し、それに伴って、コラムゲート CS1～CS640 がフレーム期間 F1 の 1/480 秒内で順次選択される。従って、この場合は、積分期間 IG1 は最大で第 1 のフレーム期間 F1 と同じになる。また、第 1 行と第 480 行の積分期間のずれは、第 1 フレーム期間 F1 になる。

【 0 0 2 9 】

図 5 (C) は、第 1 のフレーム期間 F 1 の 2 倍の長さの第 2 のフレーム期間 F 2 に制御されているときの従来の垂直走査を示す。入力画像が暗い場合は、出力バス OBUS に設けられているアンプ AMP のゲインを大きくして、出力される画素信号のレベルが高くなるように制御されるが、ゲインを最大にしてもレベルが不十分な場合は、積分期間を長くするように制御する必要がある。その場合、通常は、クロックの分周比を高くして、垂直走査シフトレジスタ 1 2 や水平走査シフトレジスタ 1 6 の走査クロックの速度を遅くすることが行われる。図 5 (C) の例は、分周比を倍にして、走査クロック VCLK、PCLK の周期を 2 倍にしている。

【 0 0 3 0 】

その場合、垂直走査では、垂直走査シフトレジスタ 1 2 が、第 2 のフレーム期間 F 2 内で、垂直データ VDATA=1 を垂直クロック VCLK に同期して第 1 行から第 4 8 0 行まで転送して垂直走査信号を順次生成し、それに伴って、行選択線 SLCT1 ~ SLCT480 が第 2 のフレーム期間 F 2 内で順次駆動される。従って、積分期間 IG 2 は、最大で第 2 のフレーム期間 F 2 になり、暗い入力画像でも十分な画素信号レベルを確保することができる。

【 0 0 3 1 】

しかしながら、垂直走査速度が $1/2$ になったことに伴い、第 1 行目の積分期間 IG2-1 と、第 4 8 0 行目の積分期間 IG2-2 との間には、第 2 のフレーム期間 F 2 だけの時間的ずれが生じる。このような長い時間のずれにより、入力画像が左右方向に移動している場合、画像の上端部と下端部とでは撮像対象位置が大きく異なる。これが出力画像のひずみを招いてしまう。

【 0 0 3 2 】

図 5 (D) (E) は、本実施の形態における垂直走査と水平走査を示す。本実施の形態では、第 2 のフレーム期間 F 2 になっても、垂直走査期間は第 1 のフレーム期間 F 1 のままに制御される。つまり、第 2 のフレーム期間 F 2 の前半期間で、垂直走査が完了するように、垂直走査シフトレジスタ 1 2 が制御される。第 2 のフレーム期間の後半期間では、垂直走査シフトレジスタ 1 2 の動作は停止し、行選択線はいずれも駆動されない。そして、水平走査シフトレジスタ 1 6 の水平走査動作は、垂直走査が行われている間、繰り返し行われる。つまり、垂直走

査中の各行走査期間中に、第 1 のコラムゲート CG1 から第 6 4 0 のコラムゲート C G640 までの水平走査が行われる。

【 0 0 3 3 】

このように垂直走査が行われる期間を、第 2 のフレーム期間 F 2 とせずに、第 1 のフレーム期間 F 1 に維持することで、第 1 行目の積分期間 IG2-1 と第 4 8 0 行目の積分期間 IG2-2 との時間的ずれは、第 1 のフレーム期間 F 1 に抑えられ、図 5 (A) の場合と同じになる。従って、出力画像の歪みは抑制される。

【 0 0 3 4 】

図 5 (F) は、本実施の形態における垂直走査を示す。この例は、更にフレーム期間が長く制御されて、第 2 のフレーム期間 F 2 の 2 倍の第 3 のフレーム期間 F 3 に制御されている。この場合は、フレーム期間 F 3 の最初の 1 / 4 の期間で、垂直走査が行われる。そして、残りの 3 / 4 の期間では、垂直走査シフトレジスタのシフト動作は停止している。また、図示しないが、図 5 (E) と同様に、水平走査は、垂直走査中の各行選択中に順次行われる。

【 0 0 3 5 】

この場合、積分期間 IG3 は、最大で第 3 のフレーム期間 F 3 まで長くすることができ、第 1 行目の積分期間 IG3-1 と第 4 8 0 行目の積分期間 IG3-2 の時間のずれは、第 1 のフレーム期間 F 1 の場合と同じに抑えられる。従って、出力画像の歪みは抑制される。

【 0 0 3 6 】

図 6 は、本実施の形態における垂直走査と水平走査の制御回路を示す図である。内部クロック CLK_i が分周器 5 6 により所定の分周比で画素クロック PCLK を生成する。この画素クロック PCLK は、水平走査シフトレジスタ 1 6 の同期クロックとして利用されると共に、水平カウンタ 5 8 に供給される。水平カウンタ 5 8 は、1 ~ 6 4 0 をカウントするカウンタであり、カウント値が「1」の時に水平データ HDATA0 = 1 を出力する。また、水平カウンタ 5 8 は、6 4 0 カウントするたびに垂直クロック VCLK を出力する。この垂直クロック VCLK は、垂直走査シフトレジスタ 1 2 の制御クロックとして利用されると共に、垂直カウンタ 6 0 に供給され、垂直カウンタ 6 0 は、その垂直クロック VCLK をカウントして、カウント値が「

1」の時に垂直データVDATA=1を出力する。垂直カウンタ60の最大カウント値は、制御可能な最大フレーム期間に対応可能な値に設計されており、但し、通常のカウンタ動作では、垂直カウンタ60は、垂直カウントリセット信号VCRSTに応答してリセットされるまでカウントする。

【0037】

出力バスOBUSに接続されている増幅器AMPは、自動ゲインコントロール回路50によりそのゲインKgainを制御される。自動ゲインコントロール回路50は、増幅器AMPから出力される1フレーム期間内の画素信号レベルのデジタル値を累積し、その画素信号レベルの累積値に応じて、増幅器AMPのゲインKgainを制御する。つまり、自動ゲインコントロール回路50は、画像が暗くて全体的に画素信号レベルが低ければ、ゲインKgainをより大きくするように制御して、出力画像が明るくなるようにする。しかし、ゲインKgainを最大値まで制御しても十分な画素信号レベルが得られない場合は、AGC回路50は、フレーム期間設定信号S50をレジスタ演算部52に与えて、フレーム期間を2倍にするよう制御する。レジスタ演算部52は、そのフレーム期間設定信号S50に応答して、カウンタレジスタ54のレジスタ値を2倍にするように設定する。つまり、カウンタレジスタ54に設定される垂直走査最大カウント値VCMAXは2倍になる。例えば、この最大カウント値VCMAXは、 $480 \times 2 = 960$ に設定される。

【0038】

比較回路62は、垂直走査最大カウント値VCMAXと、垂直カウンタ60のカウント値VCOUNTとを比較して、一致するときに垂直カウントリセット信号VCRSTを出力する。これに応答して、垂直カウンタ60はリセットされ、垂直カウント値は「1」になり、垂直データVDATA=1が出力される。

【0039】

また、垂直カウンタ60は、垂直カウント値VCOUNTが1になると垂直データ信号VDATA=1を出力し、更に、垂直カウント値VCOUNTが480になると、カウント信号V480=1を出力する。そして、水平データイネーブル回路66は、垂直データVDATA=1に応答してイネーブル信号S66をイネーブル状態にし、カウント信号V480=1に応答して水平走査イネーブル信号S66をディセーブル状態にす

る。

【 0 0 4 0 】

水平カウンタ 5 8 は、カウント値が「1」になるたびに水平データ信号 HDATA0 = 1 を出力するが、ゲート回路 6 4 により水平データイネーブル信号 S 6 6 がイネーブル状態の間のみ、その水平データ信号 HDATA = 1 を出力する。

【 0 0 4 1 】

次に、図 5 (A) (B) の場合における図 6 の制御回路の動作について説明する。この場合は、最も短い第 1 のフレーム期間 F 1 に制御されているので、カウンタレジスタ 5 4 は 4 8 0 に設定される。そして、水平カウンタ 5 8 がカウンタ値「1」で水平データ HDATA=1 を出力し、同時に垂直カウンタ 6 0 がカウンタ値「1」で垂直データ VDATA=1 を出力する。これにより、水平走査レジスタ 1 6 は、画素クロック PCLK に同期して水平走査信号を順次シフトする。また、水平カウンタ 5 8 が 6 4 0 カウントするたびに、垂直クロック VCLK が出力され、それが垂直カウンタ 6 0 によりカウントされる。やがて、垂直カウント値 VCOUNT がカウンタレジスタ 5 4 の設定値 4 8 0 に達すると、リセットされる。つまり、図 5 (A) (B) の場合は、第 1 のフレーム期間 F 1 の間、垂直クロック VCLK に同期して順次垂直走査が行われ、各垂直走査中において、画素クロック PCLK に同期して順次水平走査が行われる。

【 0 0 4 2 】

また、図 5 (D) (E) の場合における制御回路の動作について説明する。この場合は、第 1 のフレーム期間 F 1 の 2 倍の第 2 のフレーム期間 F 2 に制御されるので、カウンタレジスタ 5 4 は $4 8 0 \times 2 = 9 6 0$ に設定される。そして、垂直カウンタ 6 0 がカウント値 1 ~ 4 8 0 までは、水平カウンタ 5 8 が出力する水平データ HDATA0 がゲート回路 6 4 を通過して、水平データ HDATA として水平走査シフトレジスタ 1 6 に供給される。これにより、垂直カウンタ 6 0 がカウント値 1 ~ 4 8 0 の間は、各垂直走査中に、水平走査シフトレジスタ 1 6 は、水平走査信号を出力する。しかし、垂直カウンタ 6 0 のカウント値が 4 8 0 を越えると、イネーブル信号 S 6 6 がディセーブル状態になるので、ゲート回路 6 4 が水平データ HDATA=1 の出力を禁止する。その結果、垂直カウンタのカウント値が 4 8 1

～960までの間は、水平データ信号HDATA=1は出力されず、水平走査シフトレジスタ16は水平走査信号を出力しない。

【0043】

一方、垂直カウンタ60のカウント値が「1」の時に垂直データ信号VDATA=1を出力した後は、垂直カウント値が960になるまでそのデータ信号VDATA=1は出力されないの、垂直走査シフトレジスタ12は、第2のフレーム期間F2の前半のみ垂直走査信号を生成し、後半は何ら垂直走査信号を出力しない。

【0044】

更に、図5（F）の場合は、カウンタレジスタ54が $480 \times 4 = 1960$ に設定されるので、第3のフレーム期間F3の最初の1/4期間のみ、垂直走査信号と水平走査信号とが生成され、その余の期間は垂直走査信号も水平走査信号も生成されない。

〔水平走査の変形例〕

次に、図5の（A）で制御される場合と、（C）で制御される場合での水平走査動作の変形例について説明する。図7は、図4の変形例を示す図である。図7の例では、画素アレイの出力段に設けられたA/D変換回路ADCとカラープロセッサ20との間に、1行分の画素信号Pinを格納可能なラインバッファ60が設けられている。そして、このラインバッファ60には、コラムゲートCS1～CS640の導通に応答して、1行、640画素の画素信号が入力される。そして、ラインバッファ60に格納された1行分の画素信号は、出力クロックOCLKに同期してカラープロセッサ20に出力される。

【0045】

図8は、ラインバッファ60への入力タイミングと出力タイミングを示す図である。図8（E）は、垂直走査のタイミングを示し、各垂直走査中のラインバッファへのタイミングが、（A）～（D）に示される。

【0046】

図8（A）（B）は、図5（A）のように第1のフレーム期間F1に制御されている場合の入力タイミングと出力タイミングである。この場合は、画素クロックPCLKに同期して生成される水平走査信号と同じタイミングで、画素信号がライ

ンバッファ 6 0 に入力され、同じタイミングで出力される。つまり、出力クロック OCLK の周期は、画素クロック PCLK の周期と同じである。

【 0 0 4 7 】

一方、図 8 (C) (D) は、図 5 (C) のように第 2 のフレーム期間 F 2 に制御されている場合の入力タイミングと出力タイミングである。この場合は、従来例のように、垂直走査クロック VCLK は低速化されていて、各行の走査期間は 2 倍になっている。その場合でも、図 8 (C) に示されるとおり、各行の走査期間の前半で水平走査信号が生成されて、ラインバッファ 6 0 に 1 行分の 6 4 0 画素信号が入力される。但し、出力クロック OCLK は画素クロック PCLK の $1/2$ の速度に制御され、2 倍の周期で 6 4 0 画素信号を出力する。これにより、水平走査シフトレジスタのシフト動作を制御する画素クロック PCLK は同じ速度に維持される。但し、カラープロセッサ 2 0 への画素信号の出力は、 $1/2$ の速度に落とされる。

【 0 0 4 8 】

以上、実施の形態例をまとめると以下の付記の通りである。

【 0 0 4 9 】

(付記 1) 画像を撮像するイメージセンサにおいて、
 光電変換素子を有する画素を行列配置した画素アレイと、
 前記画素アレイ内の行方向に配置された複数の行選択線と、
 前記画素アレイ内の列方向に配置された複数のコラム線と、
 前記各コラム線に設けられたサンプルホールド回路と、
 前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、
 前記サンプルホールド回路の出力を順次選択する水平走査信号を生成する水平走査回路とを有し、

第 1 のフレーム期間に制御されているとき、前記垂直走査回路は、第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査し、前記第 1 のフレーム期間より長い第 2 のフレーム期間に制御されているときも、前記第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査することを特徴とするイメージセンサ。

【 0 0 5 0 】

（付記 2）付記 1 において、

前記垂直走査回路が前記各行選択線を選択するときに、前記水平走査回路が前記水平走査信号を生成し、前記垂直走査回路が前記垂直走査信号を生成しないときは、前記水平走査回路も前記水平走査信号を生成しないことを特徴とするイメージセンサ。

【 0 0 5 1 】

（付記 3）付記 1 において、

前記画素は、光電変換素子と、リセットトランジスタと、ソースフォロワートランジスタと、前記行選択線により制御される選択トランジスタとを有することを特徴とするイメージセンサ。

【 0 0 5 2 】

（付記 4）付記 1 において、

前記第 1 の垂直走査期間は、前記第 1 のフレーム期間内の一部の期間であることを特徴とするイメージセンサ。

【 0 0 5 3 】

（付記 5）画像を撮像するイメージセンサにおいて、

光電変換素子を有する画素を行列配置した画素アレイと、

前記画素アレイ内の行方向に配置された複数の行選択線と、

前記画素アレイ内の列方向に配置された複数のコラム線と、

前記各コラム線に設けられ、前記画素の光電変換信号をサンプルホールドするサンプルホールド回路と、

前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、

前記各行選択線が選択された時に、前記サンプルホールド回路の出力を順次選択する水平走査信号を生成する水平走査回路とを有し、

第 1 のフレーム期間に制御されているとき、前記垂直走査回路は、第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査し、前記第 1 のフレーム期間より長い第 2 のフレーム期間に制御されているときも、前記第 1 の垂直走査期間内で前記複数の行選択線を順次選択して走査することを特徴とするイメージセ

ンサ。

【 0 0 5 4 】

（付記 6）付記 5 において、

前記垂直走査回路は、前記フレーム期間内の前記第 1 の垂直走査期間を過ぎた後は、前記垂直走査信号を出力しないことを特徴とするイメージセンサ。

【 0 0 5 5 】

（付記 7）画像を撮像するイメージセンサにおいて、

光電変換素子を有する画素を行列配置した画素アレイと、

前記画素アレイ内の行方向に配置された複数の行選択線と、

前記画素アレイ内の列方向に配置された複数のコラム線と、

前記各コラム線に設けられ、前記画素の光電変換信号をサンプルホールドするサンプルホールド回路と、

前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、

前記各行選択線が選択された時に、前記サンプルホールド回路の出力を順次選択する水平走査信号を生成する水平走査回路とを有し、

前記垂直走査回路は、フレーム期間内の一部の垂直走査期間内で前記複数の行選択線を順次選択して走査し、前記フレーム期間内の前記垂直走査期間外では前記行選択線の選択を行わないことを特徴とするイメージセンサ。

【 0 0 5 6 】

（付記 8）付記 1、5、7 のいずれかにおいて、

更に、前記サンプルホールド回路の出力を、1 行分格納するラインバッファと

前記ラインバッファの出力を入力する画像プロセッサとを有し、

水平走査期間において、前記水平走査信号に応答して、前記サンプルホールド回路の出力信号を前記ラインバッファに格納し、前記水平走査信号よりも長い周期の出力クロックに응答して、当該ラインバッファ内の当該出力信号を前記画像プロセッサに出力することを特徴とするイメージセンサ。

【 0 0 5 7 】

（付記 9）画像を撮像するイメージセンサにおいて、

光電変換素子を有する画素を行列配置した画素アレイと、
前記画素アレイ内の行方向に配置された複数の行選択線と、
前記画素アレイ内の列方向に配置された複数のコラム線と、
前記各コラム線に設けられ、前記画素の光電変換信号をサンプルホールドする
サンプルホールド回路と、

前記複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、
前記各行選択線が選択された時に、前記サンプルホールド回路の出力を順次選
択する水平走査信号を生成する水平走査回路と、

前記サンプルホールド回路の出力を、1行分格納するラインバッファと、
前記ラインバッファの出力を入力する画像プロセッサとを有し、
水平走査期間において、前記水平走査信号に応答して、前記サンプルホールド
回路の出力信号を前記ラインバッファに格納し、前記水平走査信号よりも長い周
期の出力クロックに응答して、当該ラインバッファ内の当該出力信号を前記画像
プロセッサに出力することを特徴とするイメージセンサ。

【 0 0 5 8 】

【発明の効果】

以上、本発明によれば、イメージセンサの積分時間のずれが少なくなって出力
画像の歪みが抑制され、画質が向上する。

【図面の簡単な説明】

【図 1】

本実施の形態における CMOS イメージセンサの画素アレイの構成を示す図で
ある。

【図 2】

サンプルホールド回路の具体例を示す図である。

【図 3】

サンプルホールド回路の動作を示す信号波形図である。

【図 4】

本実施の形態におけるイメージセンサのカラープロセッサの構成を示す図であ
る。

【図 5】

本実施の形態における垂直走査と水平走査との関係を示す図である。

【図 6】

本実施の形態における垂直走査と水平走査の制御回路を示す図である。

【図 7】

図 4 の変形例を示す図である。

【図 8】

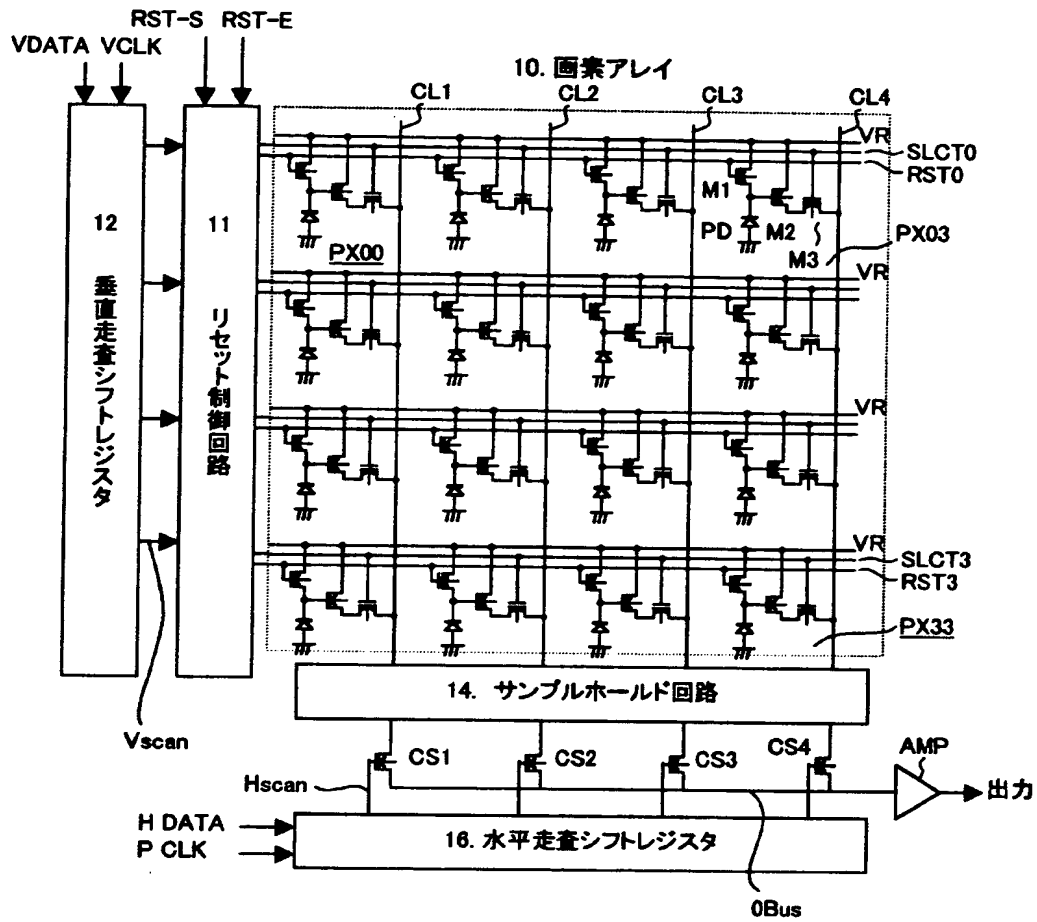
ラインバッファ 6 0 への入力タイミングと出力タイミングを示す図である。

【符号の説明】

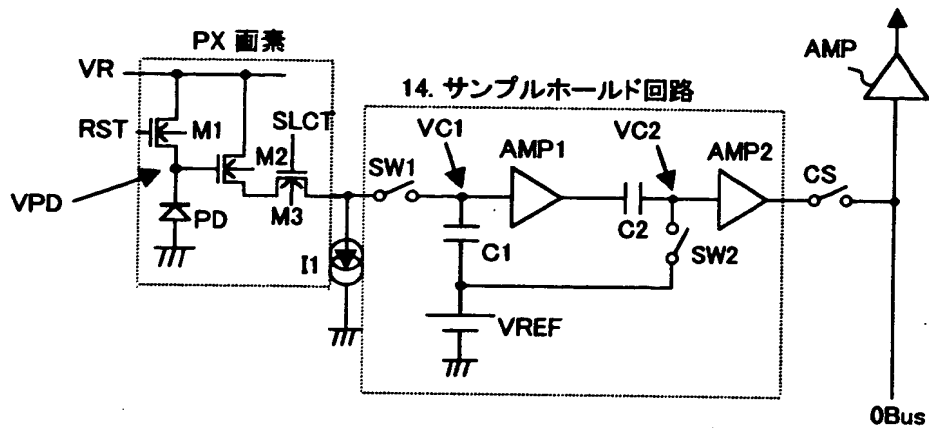
P X 画素、S L C T 行選択線、1 0 画素アレイ、1 2 垂直走査回路、1
4 サンプルホールド回路、1 6 水平走査回路、2 0 画像プロセッサ

【書類名】 図面

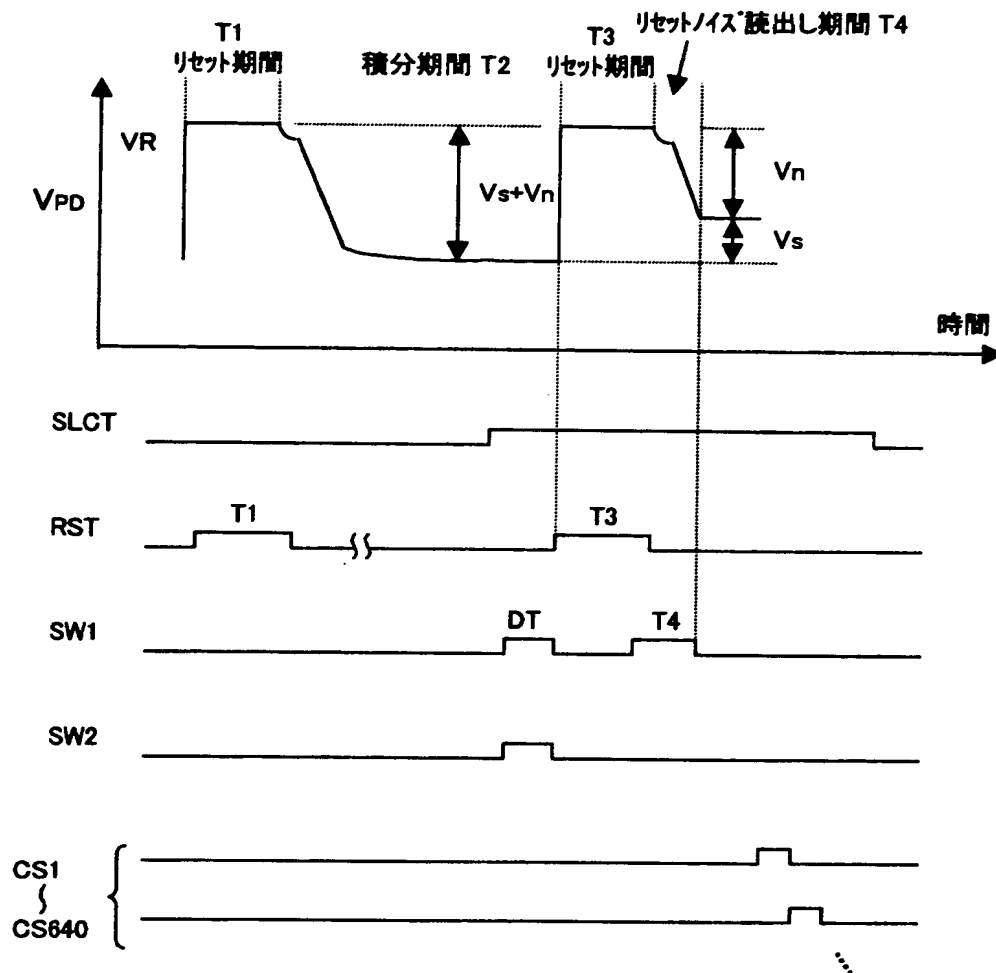
【図 1】



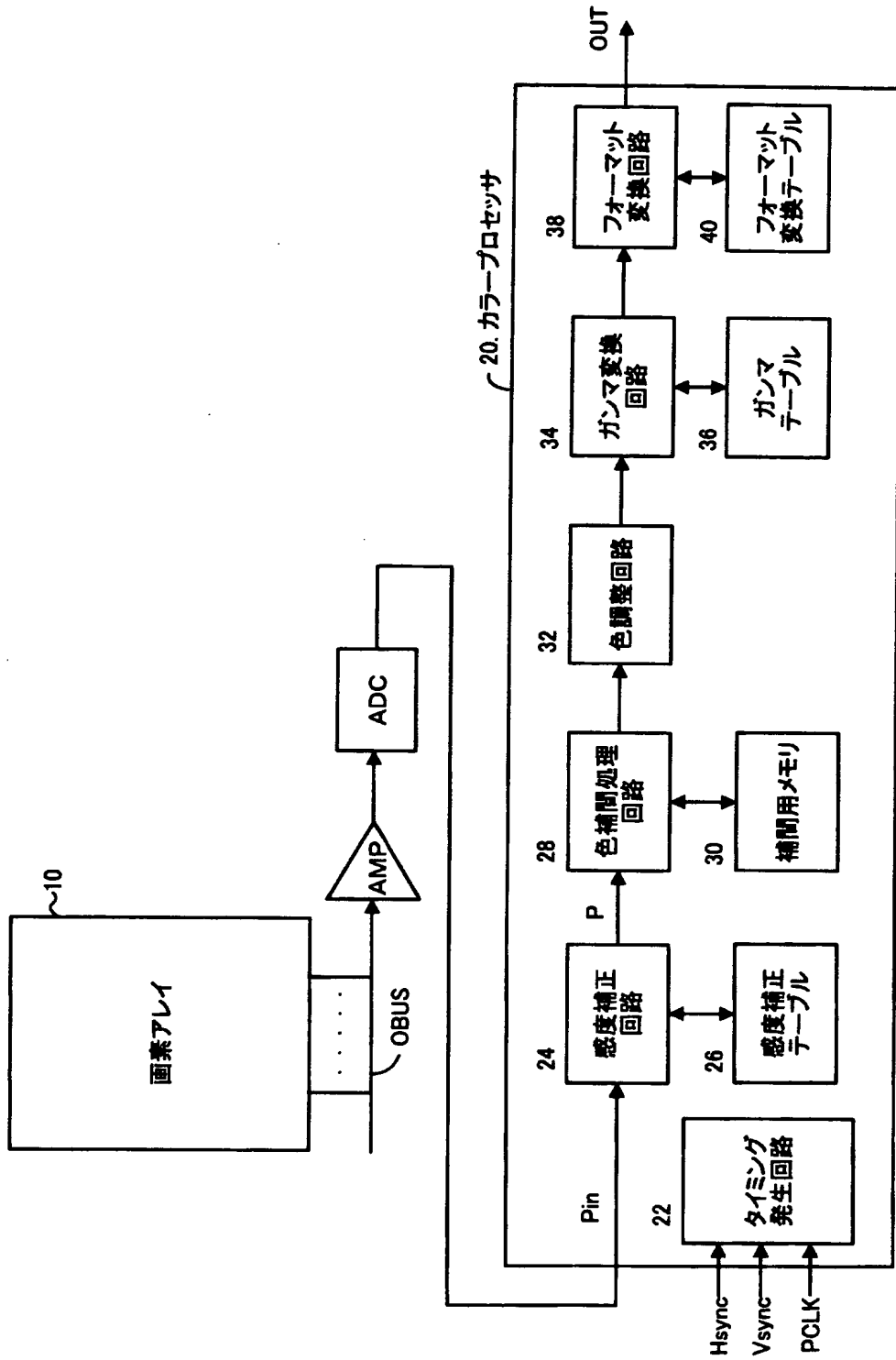
【図 2】



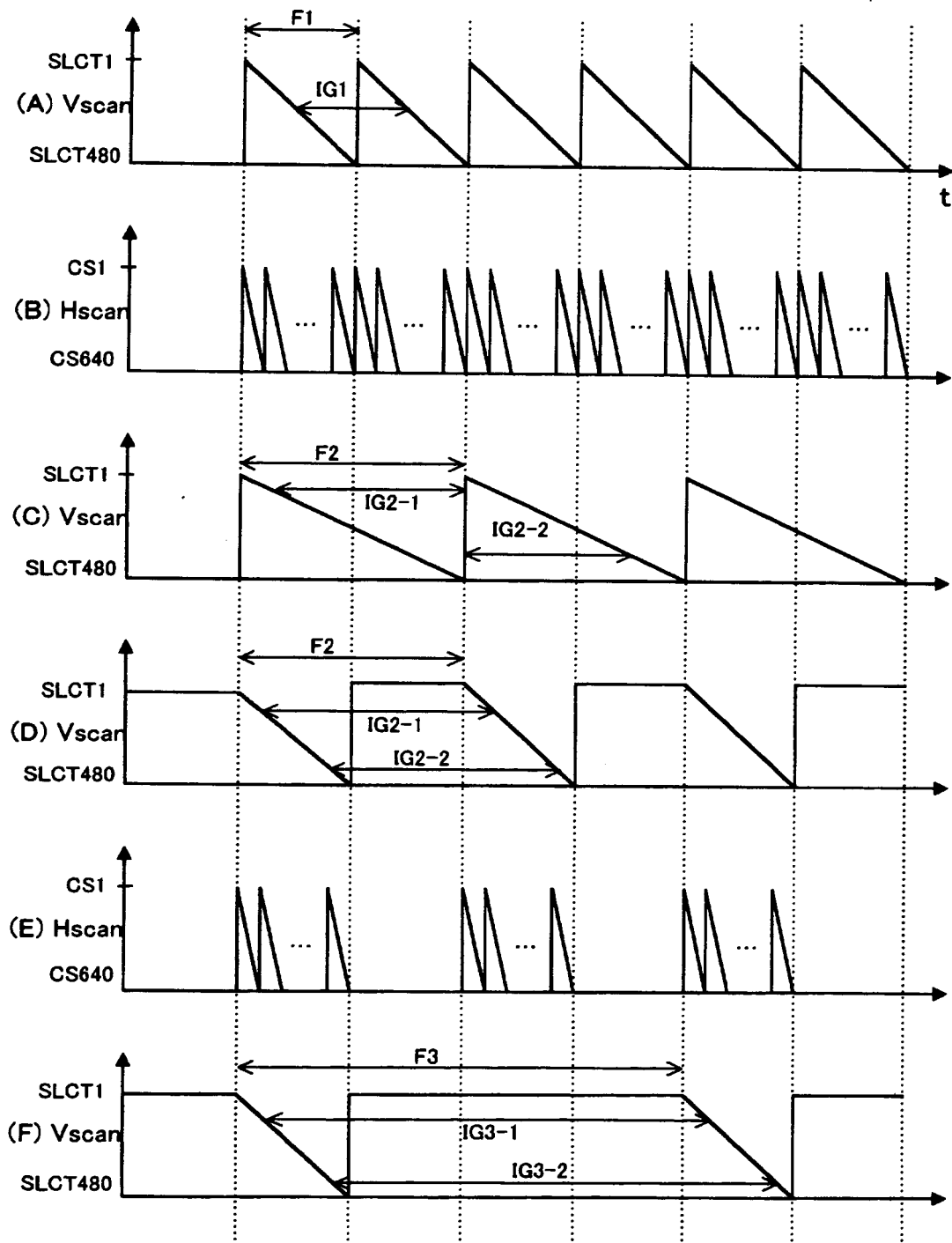
【図 3】



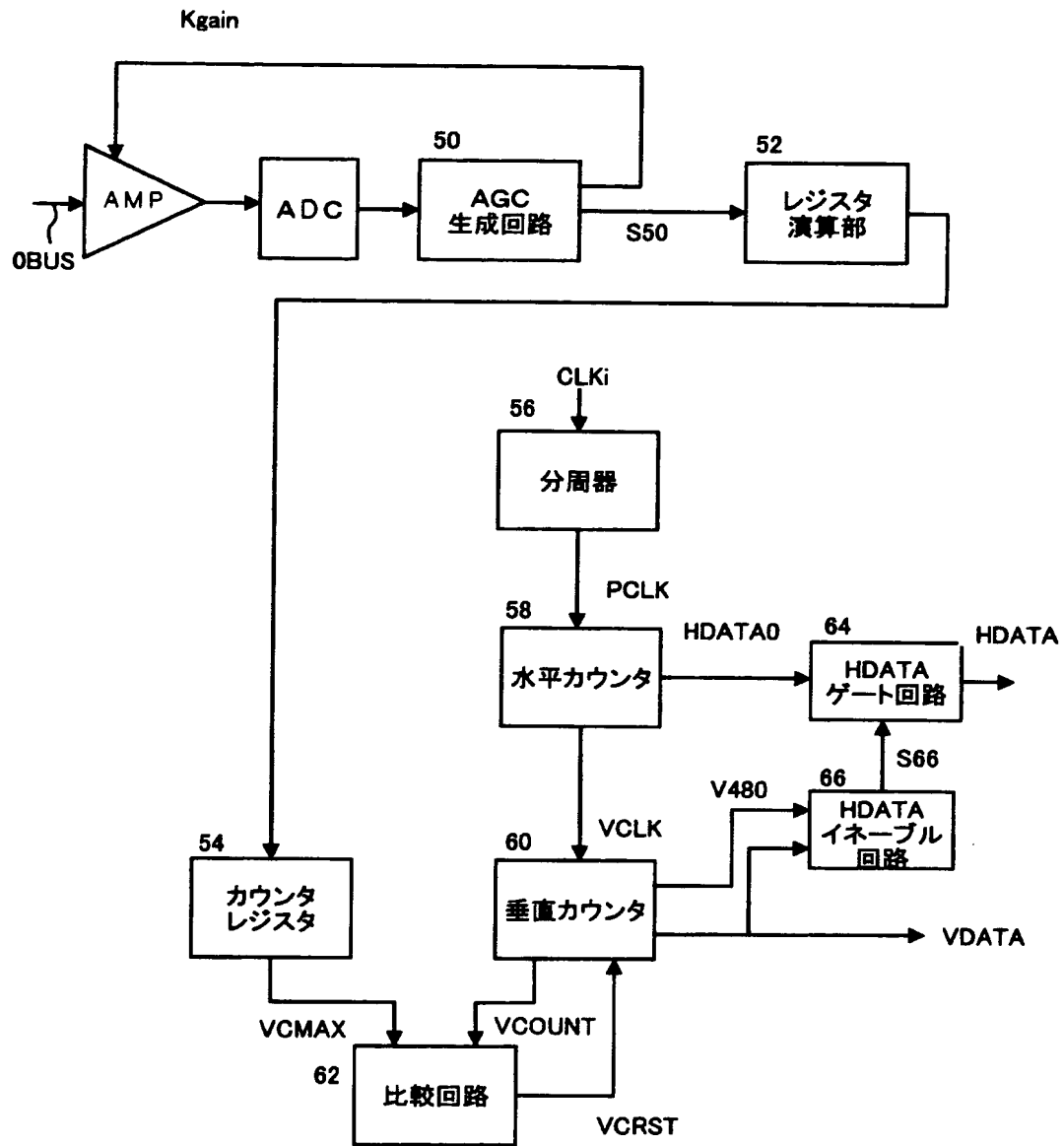
【図 4】



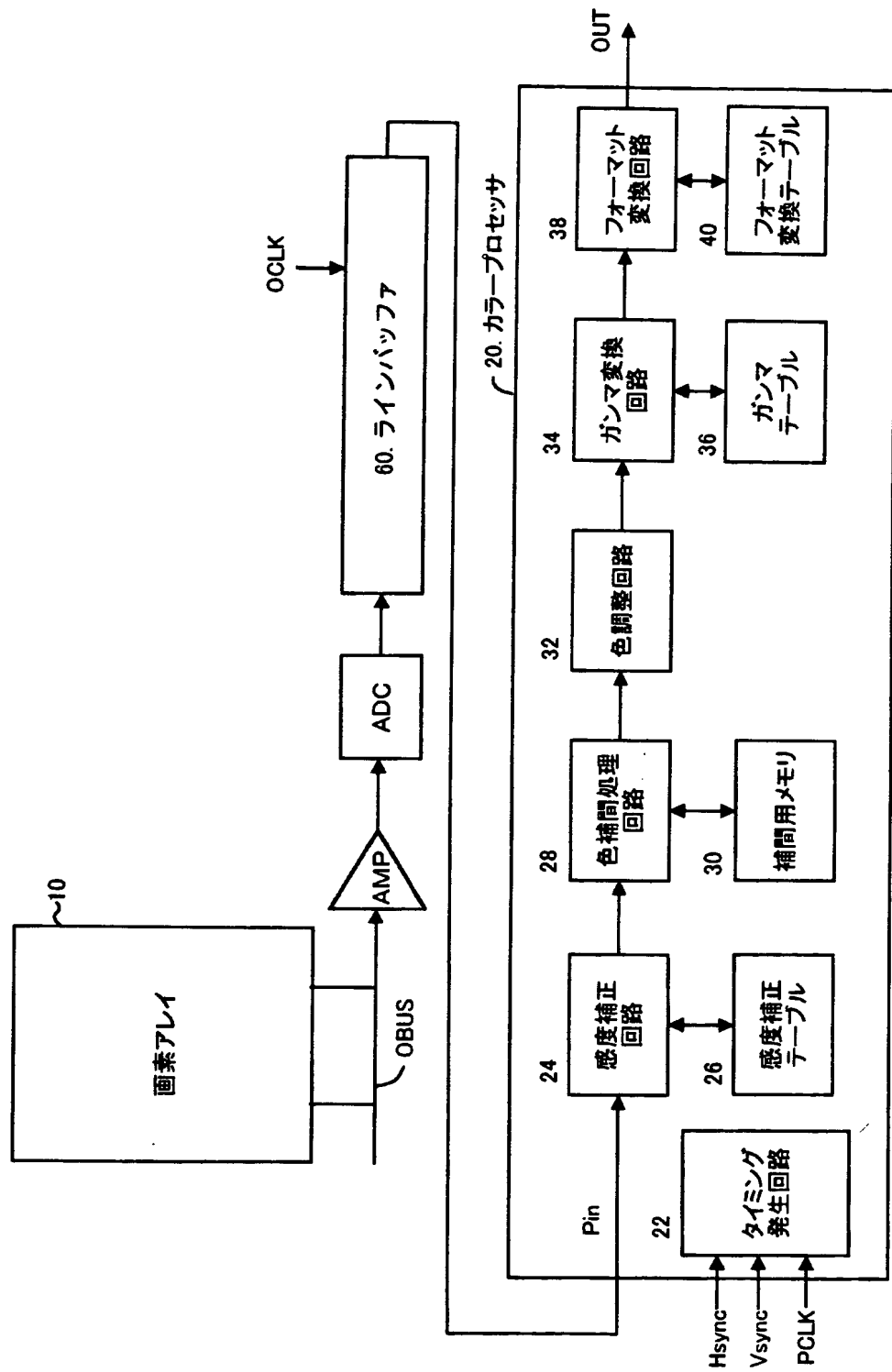
【図 5】



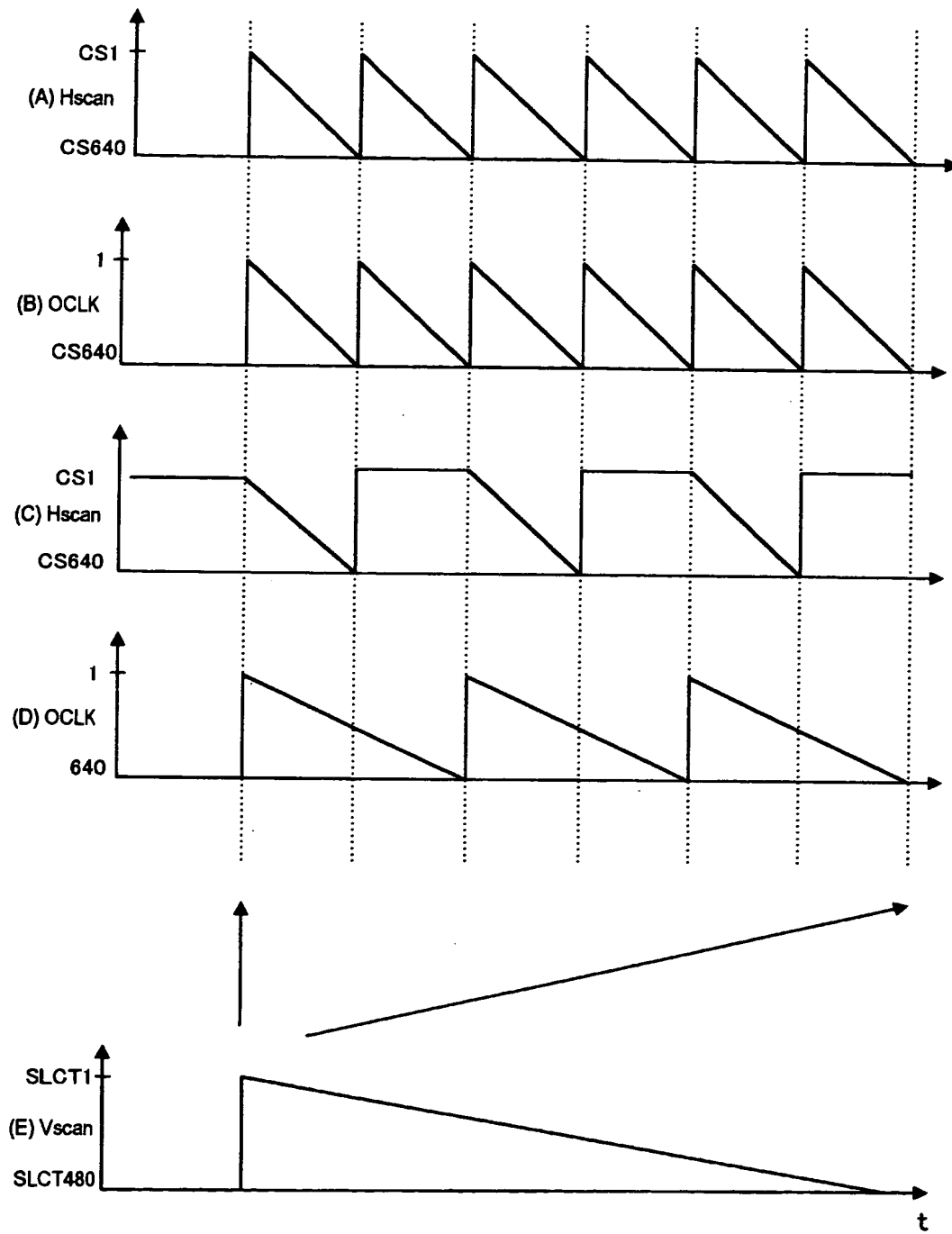
【図 6】



【図 7】



【図 8】



【書類名】

要約書

【要約】

【課題】 イメージセンサの出力画像の歪みを抑制して画質を向上させる。

【解決手段】 光電変換素子を有する画素を行列配置した画素アレイを有するイメージセンサにおいて、複数の行選択線と、複数のコラム線と、各コラム線に設けられたサンプルホールド回路と、複数の行選択線を順次選択する垂直走査信号を生成する垂直走査回路と、サンプルホールド回路の出力を順次選択する水平走査信号を生成する水平走査回路とを有し、第1のフレーム期間に制御されているとき、垂直走査回路は、第1の垂直走査期間内で前記複数の行選択線を順次選択して走査し、第1のフレーム期間より長い第2のフレーム期間に制御されているときも、第1の垂直走査期間内で前記複数の行選択線を順次選択して走査する。撮像対象の画像が暗くなった場合など、フレーム期間を第1のフレーム期間よりも長い第2のフレーム期間にするように制御して画素での積分期間を長くしても、垂直走査の速度が、第1のフレーム期間と同じ速度になるので、画像の上端部と下端部とで積分期間のずれが大きくなり、出力画像のゆがみを抑制することができる。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社